

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-274606

(43)Date of publication of application : 18.10.1996

(51)Int.CI.

H03K 17/16  
H03K 17/12  
H03K 17/687  
H03K 19/0185  
H03K 19/003

(21)Application number : 07-071915

(71)Applicant : KAWASAKI STEEL CORP

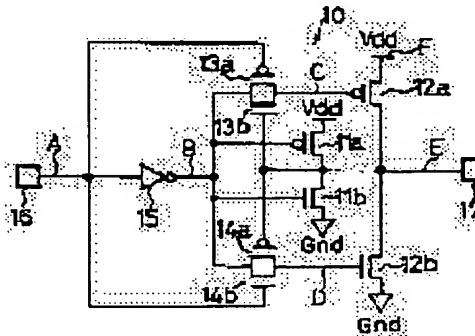
(22)Date of filing : 29.03.1995

(72)Inventor : TAKADA MASATOSHI

**(54) OUTPUT BUFFER CIRCUIT****(57)Abstract:**

**PURPOSE:** To provide an output buffer circuit which can reduce the noises occurring in a power supply system and also can control the noises in response to the value of external load.

**CONSTITUTION:** An output terminal 17 is connected to the node between a P-channel transistor TR 11a and an N-channel TR 11b which are connected in series between Vdd and Gnd and also to the node between a P-channel TR 12a and an N-channel TR 12b which are connected in series between Vdd and Gnd respectively. A P-channel TR 13a and an N-channel TR 13b are placed between the TR 12b and the output of an inverter 15 whose input is connected to an input terminal 16. A P-channel TR 14a and an N-channel TR 14b are placed between the TR 12b and the output of the inverter 15.

**LEGAL STATUS**

[Date of request for examination] 30.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3299071

[Date of registration] 19.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*THIS PAGE BLANK (USPTO)*

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-274606

(49)公開日 平成8年(1996)10月18日

(51) Int.Cl.<sup>\*</sup> 課別記号 廣內整理番号 P I 技術表示箇所  
 H 0 3 K 17/16 9184-5K H 0 3 K 17/16 H  
 17/12 9184-5K 17/12  
 17/687 19/003 C  
 19/0185 9184-5K 17/687 F  
 19/003 19/00 1 0 1 D

審査請求 未請求 請求項の数2 OL (全 5 頁)

(21) 出願番号 特願平7-71915

(22) 出願日 平成7年(1995)3月29日

(71) 出票人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

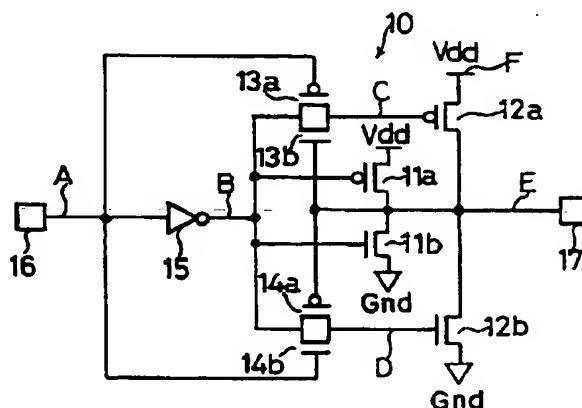
(72)発明者 ▲高▼田 昌利  
東京都千代田区内幸町2丁目2番  
崎製鉄株式会社内  
(74)代理人 鈴木十 小杉 佳里 (外2名)

(54) 【発明の名称】 出力バッファ回路

(57)【要約】

【目的】電源系に発生するノイズの低減化が図られるとともに外部負荷の大きさに応じたノイズ制御を行なう出力バッファ回路を提供する。

【構成】VddとGndとの間に直列接続されたPチャネルトランジスタ11a, Nチャネルトランジスタ11bの接続点と、VddとGndとの間に直列接続されたPチャネルトランジスタ12a, Nチャネルトランジスタ12bの接続点と、出力端子17とを接続し、入力端子16に入力が接続されたインバータ15の出力とPチャネルトランジスタ12aの間にPチャネルトランジスタ13a, Nチャネルトランジスタ13bを配置し、そのインバータ15の出力とNチャネルトランジスタ12bの間にPチャネルトランジスタ14a, Nチャネルトランジスタ14bを配置した。



1

## 【特許請求の範囲】

【請求項1】 入力端子と、  
出力端子と、  
前記入力端子に入力が接続されたインバータと、  
電源と前記出力端子との間に配置されゲートが前記インバータの出力に接続された第1のPチャネルトランジスタと、  
前記出力端子とグラウンドとの間に配置されゲートが前記インバータの出力に接続された第1のNチャネルトランジスタと、  
電源と前記出力端子との間に配置された第2のPチャネルトランジスタと、  
前記出力端子とグラウンドとの間に配置された第2のNチャネルトランジスタと、  
前記インバータの出力と前記第2のPチャネルトランジスタのゲートとの間に配置され、ゲートが前記入力端子に接続された第3のPチャネルトランジスタと、  
前記第3のPチャネルトランジスタと並列に、前記インバータの出力と前記第2のPチャネルトランジスタのゲートとの間に配置され、ゲートが前記出力端子に接続された第3のNチャネルトランジスタと、  
前記インバータの出力と前記第2のNチャネルトランジスタのゲートとの間に配置され、ゲートが前記入力端子に接続された第4のNチャネルトランジスタと、  
前記第4のNチャネルトランジスタと並列に、前記インバータの出力と前記第2のNチャネルトランジスタのゲートとの間に配置され、ゲートが前記出力端子に接続された第4のPチャネルトランジスタとを有することを特徴とする出力バッファ回路。

【請求項2】 前記第2のPチャネルトランジスタが、  
前記第1のPチャネルトランジスタの電流駆動能力よりも大きい電流駆動能力を有するトランジスタであり、かつ、前記第2のNチャネルトランジスタが、前記第1のNチャネルトランジスタの電流駆動能力よりも大きい電流駆動能力を有するトランジスタであることを特徴とする請求項1記載の出力バッファ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、相補型MOSトランジスタを用いた半導体集積回路における出力バッファ回路に関する。

## 【0002】

【従来の技術】図4は、従来の出力バッファ回路を示す図、図5は、図4に示す出力バッファ回路が「Lレベル」から「Hレベル」に変化するときの各部波形を示す図である。図4に示すインバータ15の入力は入力端子16に接続されている。また、電源ノード（以下Vddと略す）と接地ノード（以下Gndと略す）との間に、Vdd側から順に、Pチャネルトランジスタ41aとNチャネルトランジスタ41bが直列接続されている。こ

10

20

30

40

2

れらPチャネルトランジスタ41a、Nチャネルトランジスタ41bの各ゲートはインバータ15の出力に共通接続されている。またPチャネルトランジスタ41a、Nチャネルトランジスタ41bが直列接続された接続点は出力端子17に接続されている。出力端子17は外部負荷（図示せず）に接続される。

【0003】この図4の回路動作を図5を用いて説明する。図5に示すように、ノードAが時刻T1で「Lレベル」から「Hレベル」に変化すると、ノードBはインバータ15で論理が反転されて「Hレベル」から「Lレベル」に変化する。するとPチャネルトランジスタ41aとNチャネルトランジスタ41bはノードBが「Lレベル」のため、それぞれオン状態、オフ状態になり、Vdd→Pチャネルトランジスタ41a→端子17の経路を通過して外部負荷に電流が流れ、ノードEは「Lレベル」から「Hレベル」に変化する。ノードAが「Hレベル」から「Lレベル」に変化するときは、各ノードが、「Lレベル」から「Hレベル」に変化するときとは逆の変化となり端子17→Nチャネルトランジスタ41b→Gndの経路を通過して外部負荷から電流が流れ込み、ノードEは「Hレベル」から「Lレベル」に変化する。

## 【0004】

【発明が解決しようとする課題】上述した従来の出力バッファは、Pチャンネルトランジスタ41aとNチャンネルトランジスタ41bにより外部負荷を駆動している。従って駆動能力を上げるため、一般にこのPチャンネルトランジスタ41aとNチャンネルトランジスタ41bのゲート幅wは大きなもの（オン抵抗の小さいもの）が用いられている。このPチャンネルトランジスタ41aとNチャンネルトランジスタ41bのwが大きいと、スイッチングの瞬間にPチャンネルトランジスタ41a或いはNチャンネルトランジスタ41bが急激に大電流（充放電電流や貫通電流）を流すことになり、VddやGndノードの電位が変動する（図5のVddノード波形参照）。この出力バッファが同時に多数スイッチングされると、この変動が大きくなり同一集積回路上のVdd或いはGndノードに接続されている他の回路が誤動作を起こす可能性が生じるという欠点があった。

【0005】本発明は、上記事情に鑑み、電源系に発生するノイズの低減化が図られるとともに外部負荷の大きさに応じたノイズ制御を行なう出力バッファ回路を提供することを目的とする。

## 【0006】

【課題を解決するための手段】上記目的を達成する本発明の出力バッファ回路は、

- (1) 入力端子
- (2) 出力端子
- (3) 上記入力端子に入力が接続されたインバータ
- (4) 電源と上記出力端子との間に配置されゲートが上記インバータの出力に接続された第1のPチャネルトランジ

50

ンジスタ

(5) 上記出力端子とグラウンドとの間に配置されたゲートが上記インバータの出力に接続された第1のNチャネルトランジスタ

(6) 電源と上記出力端子との間に配置された第2のPチャネルトランジスタ

(7) 上記出力端子とグラウンドとの間に配置された第2のNチャネルトランジスタ

(8) 上記インバータの出力と上記第2のPチャネルトランジスタのゲートとの間に配置され、ゲートが上記入力端子に接続された第3のPチャネルトランジスタ

(9) 上記第3のPチャネルトランジスタと並列に、上記インバータの出力と上記第2のPチャネルトランジスタのゲートとの間に配置され、ゲートが上記出力端子に接続された第3のNチャネルトランジスタ

(10) 上記インバータの出力と上記第2のNチャネルトランジスタのゲートとの間に配置され、ゲートが上記入力端子に接続された第4のNチャネルトランジスタ

(11) 上記第4のNチャネルトランジスタと並列に、上記インバータの出力と上記第2のNチャネルトランジスタのゲートとの間に配置され、ゲートが上記出力端子に接続された第4のPチャネルトランジスタを有することを特徴とする。

【0007】ここで上記第2のPチャネルトランジスタが、上記第1のPチャネルトランジスタの電流駆動能力よりも大きい電流駆動能力を有するトランジスタであり、かつ、上記第2のNチャネルトランジスタが、上記第1のNチャネルトランジスタの電流駆動能力よりも大きい電流駆動能力を有するトランジスタであることが効果的である。

【0008】

【作用】本発明の出力バッファ回路は、上記構成のため、例えば図1に示す実施例のように入力端子16のノードAが‘L’レベルから‘H’レベルに変化すると、まず第1のPチャネルトランジスタに相当するPチャネルトランジスタ11-aがオン状態になり出力端子17を経由して外部負荷に電流が徐々に流れ、出力端子17のノードEの電位がゆっくりと上昇する。すると、第3のNチャネルトランジスタに相当するNチャネルトランジスタ13-bの抵抗が徐々に小さくなりオン状態になるため第2のPチャネルトランジスタに相当するPチャネルトランジスタ12-aもオン状態になり、出力端子17を経由して、外部負荷に電流が流れ、ノードEの電位がさらに上昇する。このように外部負荷には、ゆるやかに電流が流れるため、電源電圧の、急激な電流変化による低下がなく、電源系に発生するノイズが低減され、電源系に発生するノイズで回路が誤動作することが防止される。ノードEが‘H’レベルから‘L’レベルに変化するときも、同様の原理によりGndによるノイズが低減される。

【0009】また、出力信号のレベル（出力端子17のノードEの電位）をフィードバックしながら外部負荷に電流を流すものであるため、電源系に発生するノイズを抑えたまま、外部負荷を、外部負荷の大きさに応じた速度で駆動できる。

【0010】

【実施例】以下、本発明の実施例について説明する。図1は、本発明の出力バッファ回路の第1実施例の回路図である。図1に示す出力バッファ回路10の入力端子16にインバータ15の入力が接続されている。またVddと出力端子17との間にPチャネルトランジスタ11-aが配置されており、そのPチャネルトランジスタ11-aのゲートがインバータ15の出力に接続されている。また出力端子17とGndとの間にNチャネルトランジスタ11-bが配置されており、そのNチャネルトランジスタ11-bのゲートもインバータ15の出力に接続されている。

【0011】さらにVddと出力端子17との間に、前述したPチャネルトランジスタ11-aの電流駆動能力よりも大きい電流駆動能力を有するPチャネルトランジスタ12-aが配置されており、また出力端子17とGndとの間に、前述したNチャネルトランジスタ11-bの電流駆動能力よりも大きい電流駆動能力を有するNチャネルトランジスタ12-bが配置されている。

【0012】またインバータ15の出力とPチャネルトランジスタ12-aのゲートとの間にPチャネルトランジスタ13-aが配置されており、そのPチャネルトランジスタ13-aのゲートが入力端子16に接続されている。またインバータ15の出力とPチャネルトランジスタ12-aのゲートとの間に、Pチャネルトランジスタ13-aと並列にNチャネルトランジスタ13-bが配置されており、そのNチャネルトランジスタ13-bのゲートが出力端子17に接続されている。

【0013】さらにインバータ15の出力とNチャネルトランジスタ12-bのゲートとの間にNチャネルトランジスタ14-bが配置されており、そのNチャネルトランジスタ14-bのゲートが入力端子16に接続されている。またインバータ15の出力とNチャネルトランジスタ12-bのゲートとの間に、Nチャネルトランジスタ14-bと並列にPチャネルトランジスタ14-aが配置されており、そのPチャネルトランジスタ14-aのゲートが出力端子17に接続されている。このようにして出力バッファ回路10が構成されている。

【0014】図2は、図1に示す出力バッファ回路の各部波形を示す図である。図2に示す時刻T1でノードAが‘L’レベルから‘H’レベルに変化すると、ノードBはインバータ15で論理が反転されて‘H’レベルから‘L’レベルに変化する。するとPチャネルトランジスタ11-a、Nチャネルトランジスタ11-bは、ノードBが‘L’レベルのため、それぞれオン状態、オフ状態

になる。

【0015】また、Nチャネルトランジスタ14bは、ノードAが'H'であるためオン状態になり、ノードBの'L'レベルがノードDに伝達され、Nチャネルトランジスタ12bはオフ状態になる。またPチャネルトランジスタ13aはノードAが'H'であるためオフ状態になる。一方Nチャネルトランジスタ13bも、Pチャネルトランジスタ11aが時刻T1でオン状態になるもののそのPチャネルトランジスタ11aの電流駆動能力は小さく端子17に接続されている外部負荷を急激に充電することはできず、ノードEはまだ、'L'レベルにあるため、オフ状態になる。従ってノードCはハイインピーダンス状態であり、Pチャネルトランジスタ12aはオフ状態にある。

【0016】Pチャネルトランジスタ11aがオン状態にあるため、Vdd→Pチャネルトランジスタ11a→出力端子17の第1の電流経路を通過して外部負荷に電流が徐々に流れノードEの電位が'H'レベル側にゆるやかに上昇する。Pチャネルトランジスタ11aがオンを開始した初期は、Nチャネルトランジスタ13bの抵抗が大きいため、ノードCはハイインピーダンス状態である。Pチャネルトランジスタ11aから外部負荷にさらに電流が流れ、ノードEがさらに'H'側に向かうと、Nチャネルトランジスタ13bの抵抗はさらに下がり、ノードBの'L'レベルがノードCに伝達され今度はPチャネルトランジスタ12aがオン状態になる。これにより、前述した第1の電流経路に加えてVdd→Pチャネルトランジスタ12a→出力端子17の第2の電流経路を通過して外部負荷に電流が流れる。ここで、Pチャネルトランジスタ12aの電流駆動能力の方がPチャネルトランジスタ11aの電流駆動能力の方よりも大きいため、第2の電流経路の電流の方が第1の電流経路の電流よりも大きい。これら第1の電流経路に流れる電流と第2の電流経路に流れる電流は、ノードEの電位をフィードバックしながら外部負荷に十分電荷が充電される時刻T2まで流れるものであるため、図2に示すようにVddのノードFの電位もさほど変化せずVddに発生するノイズが低減されるととも、外部負荷の大きさに応じた速度で駆動できる。

【0017】図3は、本発明の出力バッファ回路の第2実施例の回路図である。図3に示す出力バッファ回路30は、図1に示す出力バッファ回路10と比べ、図1に示す出力バッファ回路10に加えて、3つのPチャネルトランジスタ31a, 32a, 33aと3つのNチャネルトランジスタ31b, 32b, 33bが配置されている点が異なっている。ただし、この図3に示す第2実施例にも、本発明の出力バッファ回路の構成要件全てが含まれている。

【0018】Pチャネルトランジスタ12aより電流駆動能力の大きいPチャネルトランジスタ31aがVdd

と出力端子17との間に配置され、またNチャネルトランジスタ12bより電流駆動能力の大きいNチャネルトランジスタ31bが出力端子17とGndとの間に配置されている。またインバータ15の出力とPチャネルトランジスタ31aのゲートとの間にPチャネルトランジスタ32aが配置されており、そのPチャネルトランジスタ32aのゲートが入力端子16に接続されている。またインバータ15の出力とPチャネルトランジスタ31aのゲートとの間にPチャネルトランジスタ32aと並列にNチャネルトランジスタ32bが配置されており、そのNチャネルトランジスタ32bのゲートが出力端子17に接続されている。

【0019】さらにインバータ15の出力とNチャネルトランジスタ31bのゲートとの間にNチャネルトランジスタ33bが配置されており、そのNチャネルトランジスタ33bのゲートが入力端子16に接続されている。またインバータ15の出力とNチャネルトランジスタ31bのゲートとの間に、Nチャネルトランジスタ33bと並列にPチャネルトランジスタ33aが配置されており、そのPチャネルトランジスタ33aのゲートが出力端子17に接続されている。このようにして出力バッファ回路30が構成されている。

【0020】ここで、ノードAが'L'レベルから'H'レベルに変化すると、前述したようにVdd→Pチャネルトランジスタ11a→出力端子17の第1の電流経路を通過して外部負荷に電流が徐々に流れ、ノードEの電位が'H'レベル側にゆるやかに上昇する。するとNチャネルトランジスタ13b, 32bの抵抗が下がり、ノードBの'L'レベルがPチャネルトランジスタ12a, 31aのゲートに伝達される。ここで、Pチャネルトランジスタ13a, Nチャネルトランジスタ13bのトランジスタサイズ(ゲート幅W)の方がPチャネルトランジスタ32a, Nチャネルトランジスタ32bのトランジスタサイズ(ゲート幅W)より大きくなっているためNチャネルトランジスタ13bのオン抵抗の値の方がNチャネルトランジスタ32bのオン抵抗の値よりも小さい。従って、先ずPチャネルトランジスタ12aがオン状態になり、前述した第2の電流経路を通過して外部負荷に電流が流れる。次にPチャネルトランジスタ31aがオン状態になり、その第2の電流経路に加え、Vdd→Pチャネルトランジスタ31a→出力端子17の第3の電流経路をも通過して外部負荷に電流が流れる。このようにPチャネルトランジスタ12aによる外部負荷に電流を流すタイミングの方がPチャネルトランジスタ31aによる外部負荷に電流を流すタイミングよりも早いため、外部負荷に大きな電流を流す場合であっても、その電流を分散してゆるやかに流すため、VddのノードFの電位の、急激な電流変化による変動が小さくノイズが低減される。

【発明の効果】以上説明したように、本発明の出力バッファ回路によれば、電源系に発生するノイズが低減され、回路の誤動作が防止される。また出力信号のレベルに応じて外部負荷の電流を制御するものであるため、電源系に発生するノイズを抑えたまま、外部負荷の大きさに応じた速度で駆動できる。

【図面の簡単な説明】

【図1】本発明の出力バッファ回路の第1実施例の回路図である。

【図2】図1に示す出力バッファ回路の各部波形を示す図である。

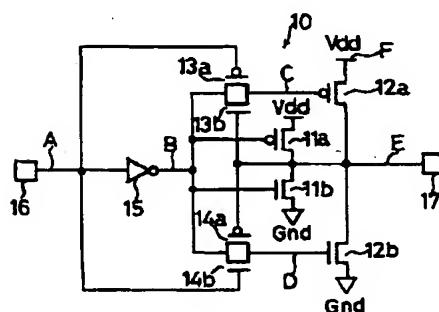
【図3】本発明の出力バッファ回路の第2実施例の回路図である。

【図4】従来の出力バッファ回路を示す図である。  
【図5】図4に示す出力バッファ回路が「Lレベル」から「Hレベル」に変化するときの各部波形を示す図である。

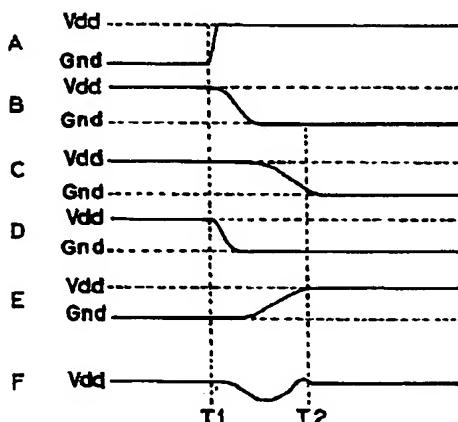
#### 【符号の説明】

- 10, 30 出力バッファ回路
- 11a, 12a, 13a, 14a, 31a, 32a, 33a Pチャネルトランジスタ
- 11b, 12b, 13b, 14b, 31b, 32b, 33b Nチャネルトランジスタ
- 15 インバータ
- 16 入力端子
- 17 出力端子

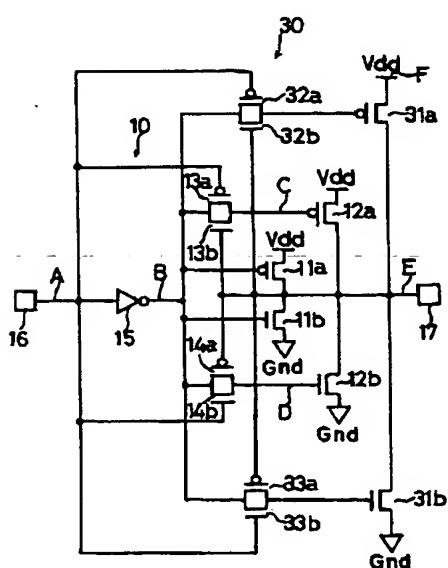
【図1】



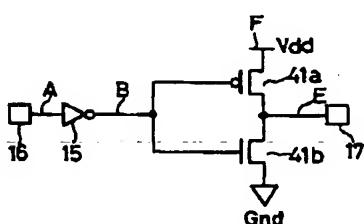
【図2】



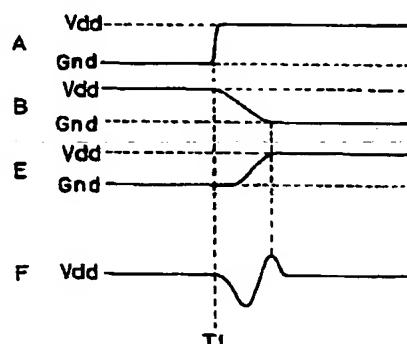
【図3】



【図4】



【図5】



**THIS PAGE BLANK (USPTO)**